第2章

ヒューマノイド・ロボットの聴覚機能の設計

―アナログ・プログラマブル・デバイスを活用して機能拡張を実現

川瀬宏和

ここでは，アナログ・プログラマブル・デバイスをヒューマノイド・ロボットの聴覚機能の設計に活用した事例を紹介する．汎用OPアンプICなどで構成していた部分にアナログ・プログラマブル・デバイスを利用した．OPアンプICとして集積度が高いだけでなく，フィルタやゲイン（利得）制御部も集積できたことで，従来とほぼ同じボード・サイズで入力チャネル数を2倍にできた．（編集部）

筆者らは，**写真1**に示すロボット（ヒューマノイド）の聴覚機能を実現することを目的としたシステムを開発しました．産業技術総合研究所 情報処理研究部門メディアインタラクショングループと共同で開発しました．

ロボットがオフィスや家庭，公共空間などの実環境下で，人とコミュニケーションしながらサービスを行う場合，環境に存在するさまざまなノイズの中で，人の声を認識することが必要となります．このシステムでは，複数のマイクロホンで音を収集し，収集した音の情報をもとに音源の位置を推定し，目的となる音源の信号をほかの環境ノイズなどと分離しなければなりません．

筆者らのシステムは，2002年より開発を開始し（第1世代システム），現在は第2世代になっています．第1世代システムでは，8チャネルのマイクロホン入力を最大16kHzサンプリングで同時に収集し，リアルタイムに解析することができました．第2世代システムでは，マイクロホン入力を8チャネルから16チャネルに拡張し，サンプリング周波数を最大64kHzまで引き上げました．さらに音声信号の解析だけでなく，ロボットの視覚（CCDカメラの情報）についても解析できるように機能を拡張しました．

2



写真1　ヒューマノイドHRP2

ロボット聴覚システムの構成

設計したロボット聴覚システムは，アナログ・ボード，

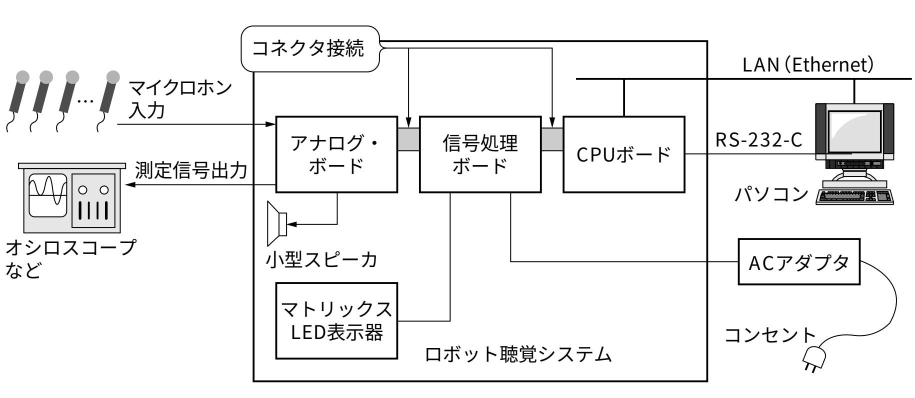


図1　ロボット聴覚システムの構成
アナログ・ボード，信号処理ボード，CPUボードの三つのボードで構成される．

信号処理ボード，CPUボードの三つのボードで構成されます．アナログ・ボードは，マイクロホン・アレイからの信号を入力するための8/16チャネル同時サンプル機能を搭載したA-Dコンバータと測定用信号を出力するための2チャネルのD-Aコンバータを搭載します．信号処理ボードは，アナログ・ボードで収集した多チャネルの信号をリアルタイムにフィルタ処理（FIRフィルタ）します．CPUボードでは，データの解析や音源位置推定，分離フィルタの学習などの複雑な計算を行います．このため64ビット浮動小数点演算も可能です．

この三つのボードのうち，アナログ・ボードにおいては，マイクロホン・アンプとエイリアシング・フィルタの処理を行います．第1世代のシステムでは，汎用OPアンプICを使っていましたが，第2世代システムではアナログ・プログラマブル・デバイスを使用しました．

図1にシステム構成図を示します．

● 第1世代システムの要求仕様

アナログ・ボードのアナログ入力部に必要な機能は，マイクロホンからの微小信号を増幅し，A-Dコンバータのサンプリング周波数に合わせてエイリアシング・フィルタ処理を行うことです．アナログ出力部に必要な機能は，D-Aコンバータから出力された波形のフィルタ処理を行うことです．

第1世代システムのアナログ回路部は，入力チャネル数が8チャネルで，A-Dコンバータで全チャネル同時サンプリングを行うものでした．サンプリング周波数は16kHzです．50～70dBのゲインのマイクロホン・アンプ，サンプリング周波数の1/2をカットオフ周波数とするエイリアシング・フィルタ，2チャネル出力のD-Aコンバータと出力フィルタなどを搭載しました．これらの機能を最大で74mm×149mmのボードに搭載していました．

この要求仕様を満たすために必要となるパーツを見積もると，OPアンプが38個，アナログ・スイッチが8個，ゲイン切り替えスイッチが1個，A-Dコンバータが2個，D-Aコンバータが2個となりました．

実際に作成したボードを**写真2**に示します．太い線で囲まれた部分がアナログ部となります．一般的な小型パッケージのOPアンプとフィルタ・デバイスを使用した結果，アナログ部の占有面積を50%以下に抑えることができました．

● 第2世代システムの要求仕様

第2世代システムのアナログ回路部は，入力チャネル数が第1世代の2倍である16チャネルで全チャネル同時サンプリングを行うものです．サンプリング周波数は最大64kHzで，可変にします．

40～60dBのゲインのマイクロホン・アンプ，エイリアシング・フィルタ，2チャネルのD-AコンバータとD-A出力フィルタは，第1世代システムと同様に搭載します．ボードのサイズは，第1世代システムのボードをベースに，＋10%程度しか拡張できません．

この要求仕様を満たすために必要となるパーツを見積もると，OPアンプが70個，アナログ・スイッチが16個，ゲイン切り替えスイッチが1個，A-Dコンバータが3個，D-

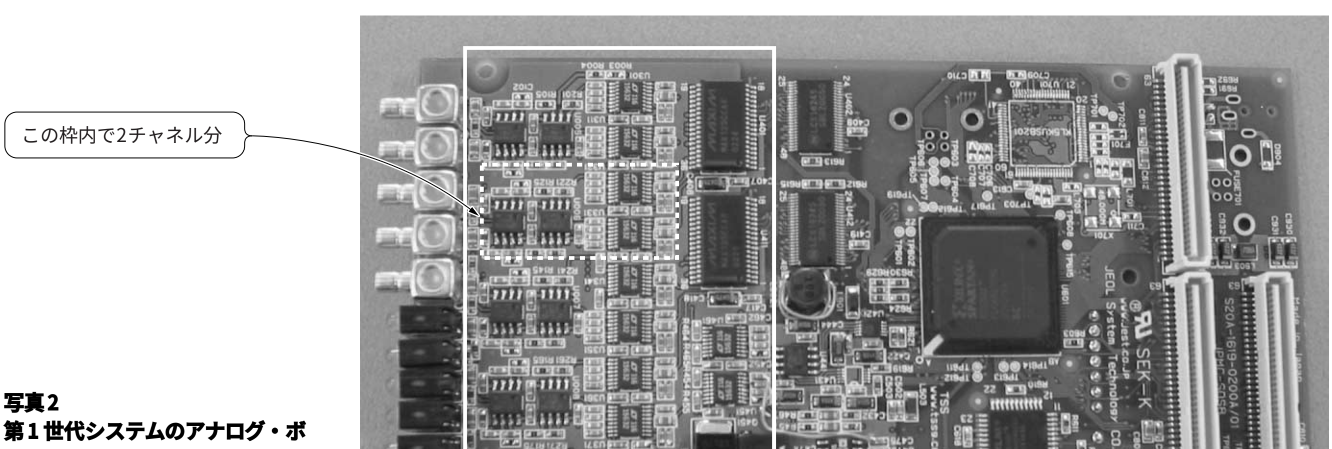


写真2
第1世代システムのアナログ・ボード
太い線で囲まれた部分がアナログ部である．全体の50％弱のスペースを使っている．

Aコンバータが2個となりました．そしてこの見積もりをもとにボードのレイアウト検討を行ったところ，これらすべての部品を配置することが非常に困難であることが判明しました．

もっとも大きな要因は，入力チャネル数が倍の16チャネルになったにもかかわらず，ボードの面積を拡張できないことです．チャネル数を2倍にする必要があるため，第1世代システムと同じ構成で考えた場合，部品点数は単純計算で2倍となります．第1世代システムのボードを開発した時点で，アナログ回路部の部品の占有面積はすでに全体の50%弱になっていました．チャネル数を2倍にすれば，ボード面積も2倍になり，アナログ回路部だけでボード全体を使用してしまいます．システム制御用のディジタル回路部および電源回路部は，第1世代システムとの互換性を保つために，ほぼ同じ構成になります．第1世代のボードの50%程度はこの制御/電源部で使用しており，第2世代でもほぼ同じ面積を必要とします．

● アナログ・プログラマブル・デバイスの集積度に注目

第2世代システムでは，10％程度広げることができるボードのスペースだけで，チャネル数を2倍にしなければならないことになります．この問題を解決するため，仕様の見直しや小型・高集積デバイスの調査を進めていたところ，実現可能性のある一つのLSIを発見しました．それがアナログ・プログラマブル・デバイスです．

米国Anadigm社の「AN220E04」には，アナログ・ブロック(CAB)に8個，四つの入力セル・ブロックにそれぞれ1個のOPアンプが内蔵されています．すなわち，1個のLSIの中に12個のOPアンプが内蔵されていることになります．パッケージは10mm×10mmのQFP(quad flat package)と比較的小型です．搭載されているOPアンプの数と照らし合わせると，集積度の高いOPアンプLSIととらえることができます．このLSIが使用可能であれば，第2世代システムの要求仕様を満たせるのではないかと考えました．

アナログ・プログラマブル・デバイスは，LSI内部の回路構成が自由でカスタマイズ可能な特徴を持ちます．アンプのゲイン量やフィルタの係数も仕様に合わせて設定できます．したがって，ゲインを切り替えるために必要と見積もっていた16個のアナログ・スイッチとゲイン切り替えスイッチまでこのLSIに集積できてしまうことがわかりました．

第2世代システムの仕様を満たすために必要と見積もったOPアンプは，アンプとエイリアシング・フィルタを合わせて70個です．AN220E04の場合，デバイス一つ当たり12個のOPアンプが内蔵されているので，単純計算では6個のデバイスを用いることで実現できそうです．

ところがAN220E04の出力セルは2系統しかありません．一つのデバイス当たり最大2チャネル分しか処理できません．したがって，16チャネルのアナログ入力と2チャネルのアナログ出力に対応するためには，9個必要ということになります．

ここで，LSIの内部のリソースと照らし合わせながらもう少し詳細に検討してみました．入力セル内のアンプをプリアンプとして使用し，アナログ・ブロック内の8個のOPアン

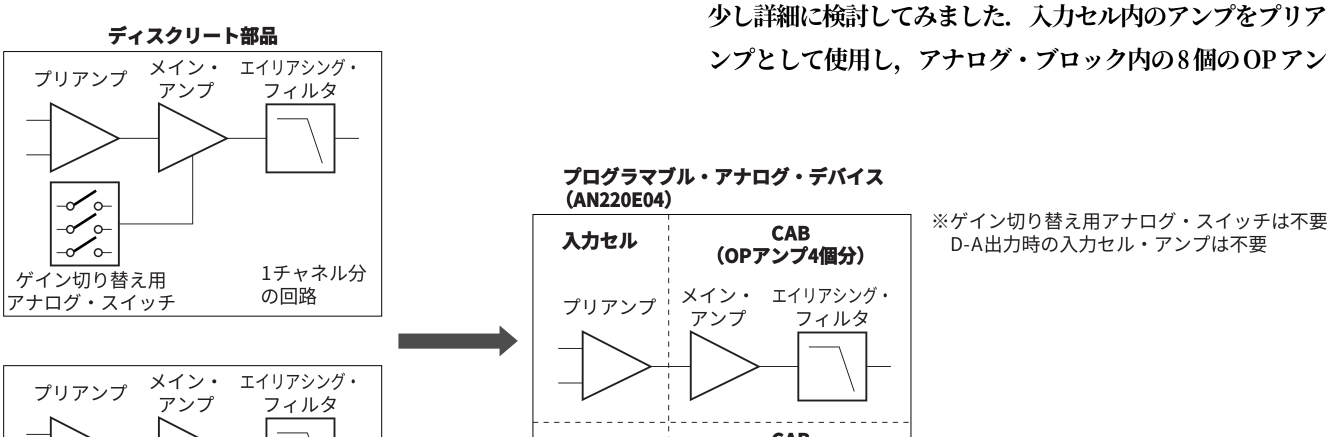


図2
アナログ・プログラマブル・デバイスへの置き換え
アナログ・ブロック内の8個のOPアンプを二つに分割し，1チャネル当たり4個のOPアンプを使用した．

プは二つに分割し，1チャネル当たり4個のOPアンプを使用することにしました(1個はメイン・アンプ，3個はエイリアシング・フィルタで使用)．また，アナログ出力については，アナログ・ブロック内の構成をアナログ入力部と同じにし，入力セル内のアンプを使用しないこととしました(**図2**)．

● デバイス固有の回路の検討

AN220E04はスイッチト・キャパシタ方式で動作しています．このキャパシタはLSIの内部に実装されています．よってアンプのゲイン量やフィルタの係数を設定するために必要となる受動素子(抵抗，コンデンサ類)は不要になります．その代わりとして，LSIを制御するためのプルアップ抵抗やプルダウン抵抗など，数点の部品が必要になります．

また，AN220E04を動作させるためにはクロック発振器が必要です．最大40MHzまでのクロック発振器か最大20MHzまでの直列共振型水晶発振子を接続します．また，回路データ(コンフィグレーション・データ)を格納するためのEEPROMも必要です．一つのEEPROMで複数のAN220E04をコンフィグレーションすることが可能です．コンフィグレーション・データの容量は，AN220E04の場合，1個当たり300バイト程度です．9個なら2700バイト以上の容量が必要になります．

EEPROMを使用してコンフィグレーションする方法のほかに，CPUを介してソフトウェア的にコンフィグレーションする方法もあります．仕様を変更するたびにEEPROMのデータを書き換える作業がなくなるので，保守性を飛躍的に向上させることができます．また，LSIの動作中に回路構成を変更するダイナミック・リコンフィギャラブル機能も利用できます．ただし，今回の設計ではこの機能を使いませんでした．

AN220E04のディジタル系のインターフェースは5Vです．今回のシステムでは，ディジタル系インターフェース

表1　第1世代システムと第2世代システムの比較

<table>
<tr><th colspan="2" rowspan="2">項　目</th><th rowspan="2">第1世代</th><th colspan="2">第2世代</th></tr>
<tr><th>検討段階</th><th>最終構成</th></tr>
<tr><td rowspan="7">要求仕様</td><td>入力チャネル数</td><td>8チャネル</td><td colspan="2">16チャネル</td></tr>
<tr><td>マイクロホン・アンプ</td><td>50～70dBのゲイン
(3段階程度でゲインの切り替えが可能，70dBに設定したときA-Dコンバータの許容する最大入力レベルとする)</td><td colspan="2">40～60dBのゲイン
(3段階程度でゲインの切り替えが可能，60dBに設定したときA-Dコンバータの許容する最大入力レベルとする)</td></tr>
<tr><td>エイリアシング・フィルタ</td><td>カットオフ周波数はサンプリング周波数の1/2，減衰率は20dB/oct以上</td><td colspan="2">カットオフ周波数はサンプリング周波数の1/2，減衰率は20dB/oct以上</td></tr>
<tr><td>A-Dコンバータ</td><td>全チャネル同時サンプリング，
サンプリング周波数は16kHzで固定</td><td colspan="2">全チャネル同時サンプリング，
サンプリング周波数は最大64kHzで可変</td></tr>
<tr><td>D-Aコンバータ</td><td>2チャネル出力，
セトリング時間は62.5μs(16kHz)程度</td><td colspan="2">2チャネル出力，
セトリング時間は最大15.625μs(64kHz)で可変</td></tr>
<tr><td>D-A出力フィルタ</td><td>カットオフ周波数はセトリングの1/2，
減衰率は20dB/oct程度</td><td colspan="2">カットオフ周波数はセトリングの1/2，
減衰率は20dB/oct程度</td></tr>
<tr><td>ボードのサイズ</td><td>最大で74mm×149mm</td><td colspan="2">第1世代システム・ボードをベースに，＋10%程度拡張することが可能</td></tr>
<tr><td rowspan="5">必要な部品の見積もり</td><td>OPアンプ</td><td>38個
1チャネル当たりの内訳
A-D入力部：
プリアンプ：1個
メイン・アンプ：1個
エイリアシング・フィルタ：2個
D-A出力部：
メイン・アンプ：1個
エイリアシング・フィルタ：2個</td><td>70個
1チャネル当たりの内訳
A-D入力部：
プリアンプ：1個
メイン・アンプ：1個
エイリアシング・フィルタ：2個
D-A出力部：
メイン・アンプ：1個
エイリアシング・フィルタ：2個</td><td rowspan="3">アナログ・プログラマブル・デバイス：9個
(1個につき，2チャネル分のアンプとエイリアシング・フィルタを構成)
EEPROM：1個
クロック発振器：1個
レベル変換バッファ：1個</td></tr>
<tr><td>アナログ・スイッチ</td><td>8個
(ゲイン切り替え用の半導体スイッチ)</td><td>16個
(ゲイン切り替え用の半導体スイッチ)</td></tr>
<tr><td>ゲイン切り替えスイッチ</td><td>1個
(3段階程度切り替え可能なメカニカル・スイッチ)</td><td>1個
(3段階程度切り替え可能なメカニカル・スイッチ)</td></tr>
<tr><td>A-Dコンバータ</td><td>2個
(4チャネル同時サンプリングA-Dコンバータを使用，サンプリング周期を同期させて8チャネル同時サンプリングを実現)</td><td colspan="2">3個
(6チャネル同時サンプリングA-Dコンバータを使用，サンプリング周期を同期させて16チャネル同時サンプリングを実現)</td></tr>
<tr><td>D-Aコンバータ</td><td>2個</td><td colspan="2">2個</td></tr>
</table>

はすべて3.3Vで設計を行っていました．そこで3.3V系と5V系のインターフェースの制御ラインにレベル変換バッファが必要となりました．

● 10％の追加面積で2倍の性能を実現

以上の検討を踏まえて第2世代システムに必要な部品の再見積もりを行ってみると，アナログ・プログラマブル・デバイスが9個，EEPROMが1個，クロック発振器が1個，A-Dコンバータが3個，D-Aコンバータが2個，レベル変換バッファが1個となりました(**表1**)．

アナログ・プログラマブル・デバイスを使用することで必要となる部品が大幅に削減されただけでなく，非常にシンプルな回路構成にすることができました．

この仕様をもとに，実際に作成したボードを**写真3**に示します．太い線で囲まれた部分がアナログ部です．結果として，ボードの面積は第1世代システムのボードに対して，13.7%の拡張で実現できました．黒い点線の枠の中が拡張した部分です．当初，50%程度の拡張が必要となっていた状況から考えると，ボード・サイズを小型化するうえでアナログ・プログラマブル・デバイスを採用したメリットは大きかったと思います．

● 共通プラットホームとして使えるボードが完成

アナログ・プログラマブル・デバイスを使用したことによって，仕様がカスタマイズできることとなり，ボードの共通化を図ることが可能となりました．例えば，標準はマイクロホン入力として使用し，状況に応じてアンプのゲインを下げてライン入力仕様にしたり，使用するマイクロホ

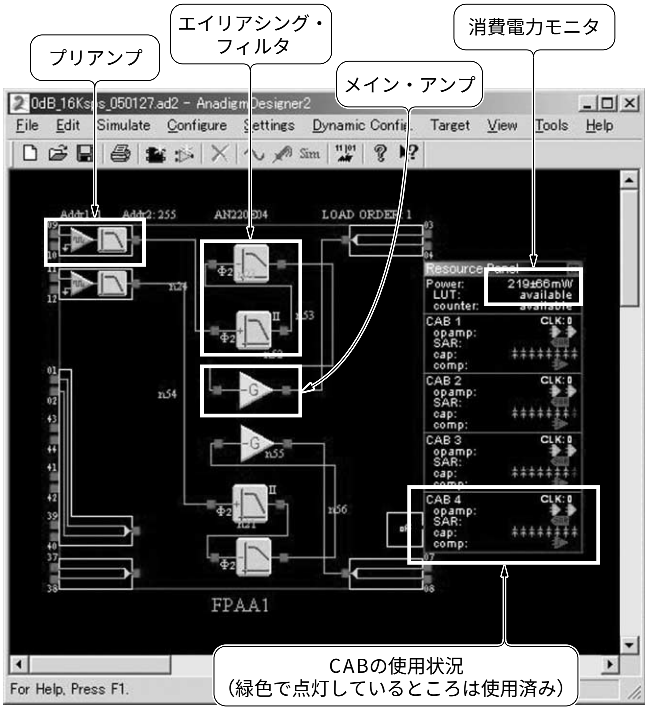


図3　アナログ・プログラマブル・デバイスの内部回路
開発ツールAnadigmDesigner2の画面．

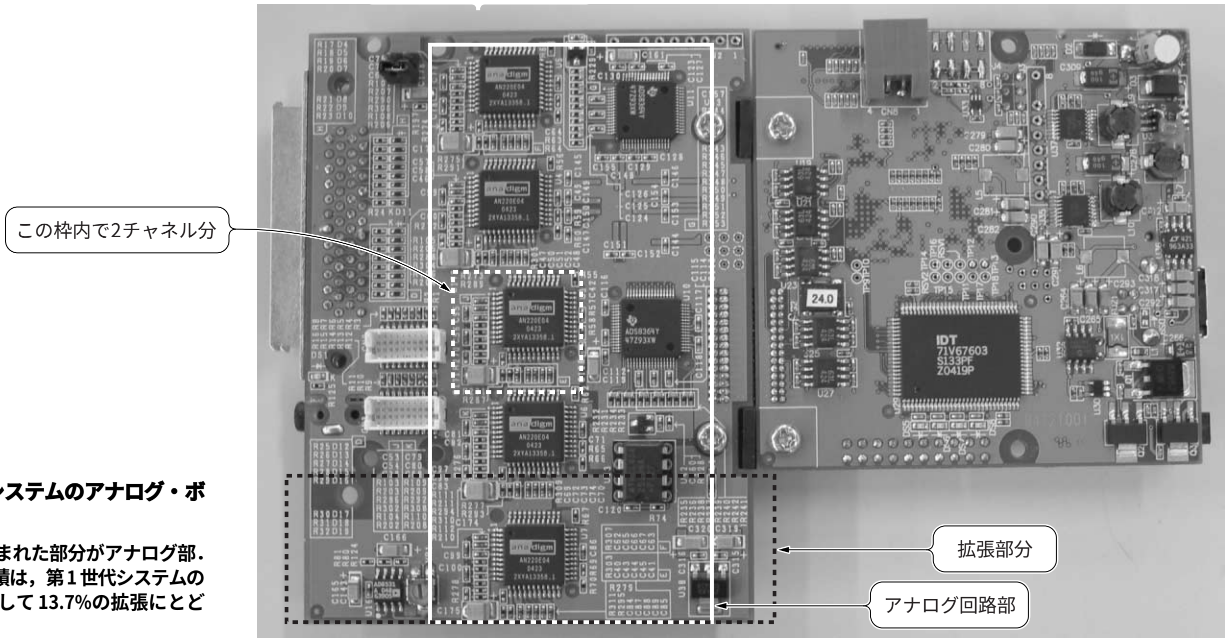


写真3
第2世代システムのアナログ・ボード
太い線で囲まれた部分がアナログ部．ボードの面積は，第1世代システムのボードに対して13.7%の拡張にとどまった．

ンの感度に合わせてアンプのゲインを微調整するなど，幅広い入力レンジに対応することが可能となりました．

図2の置き換えイメージ図をもとに，実際にGUIベースの開発ツールで設計を行った結果を**図3**に示します．

FPAAの使用上の留意点

アナログ・プログラマブル・デバイスは，一般的なアナログICと比較して，設計自由度の非常に高いLSIです．しかし，自由度が高いがゆえに，設計・検証にノウハウが必要となってきます．実際，デバイスの設定や使いかたを誤り，思ったとおりに動作しないケースが多々発生しました．

ここでは実際に設計して感じた，AN220E04を使用するうえで留意したほうがよいと思われるポイントをいくつか取り上げたいと思います．

● クロック信号の取り扱いかた

AN220E04は，マスタ・クロック（DCLK）と機能クロック（ACLK），入力セル・クロック（Chopper）の三つのクロック信号を基本として，モード1（マスタ・モード）もしくはモード0（スレーブ・モード）のいずれかで動作します．

マスタ・クロックは，機能クロックの源として必須です．最大40MHzまでの外部クロック発振器，もしくは最大20 MHzまでの直列共振型水晶発振子を接続する必要があります．これはコンフィグレーション回路の駆動クロックとしても使用されます．参考までに，今回開発したシステムのコンフィグレーション時間は，40MHzのクロックを使用し

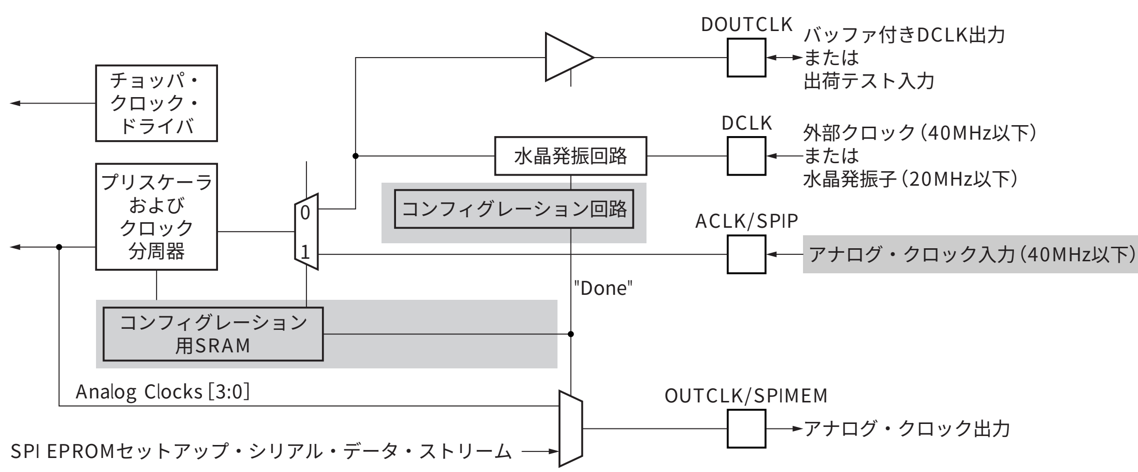


図4　モード0のときのクロック回路
外部から供給した機能クロックを直接4個のプログラマブル分周器で分周して使用する．

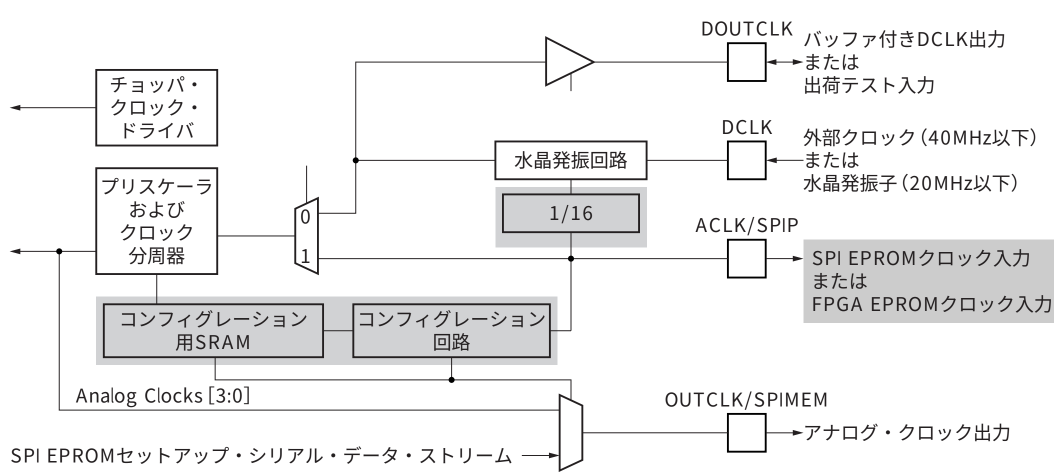


図5　モード1のときのクロック回路
マスタ・クロックを1/16分周した信号を4個のプログラマブル分周器で分周して使用する．

て，1個のAN220E04につき0.98ms，全体で8.8msでした．

機能クロックは，スイッチト・キャパシタ回路を動作させるために必要となるクロックです．モード0では，外部から供給した機能クロックを4個のプログラマブル分周器で直接分周して使用します（**図4**）．モード1では，マスタ・クロックを1/16分周した信号を4個のプログラマブル分周器で分周して使用します（**図5**）．4個のプログラマブル分周器はそれぞれ独立した設定が可能となっており，最大で1/260100分周まで設定可能です．

入力セル専用クロックは，入力セル部のチョッパ・アンプを動作させる際に必要となるクロックです．最大で1/260100分周まで設定可能です．

このように，FPAAのクロック動作は少し複雑になっています．機能クロックと入力セル・クロックの周波数は，仕様に応じて自由に設定できるようになっているので，設定を誤るとディジタル系ノイズが増大するなど，思わぬ不ぐあいが発生する場合があります．

以下にクロックを設定する際に留意すべき点をまとめます．

- 入力セル・クロックと機能クロックの周波数は，入力信号のうちもっとも高い周波数の2倍以上が必要．
- 入力セル・クロックを使用する場合，機能クロックは入力セル・クロックの偶数倍に設定する．この設定を怠ると，信号ラインにディジタル系のノイズが重畳することがある．
- モジュールどうしを接続するときは，機能クロック周波数を一致させる必要がある．不一致になっていると，信号が正常に出力されない場合がある．
- CAMによって扱うクロック周波数に約束ごとがある場合がある．例えば乗算器は，スイッチト・キャパシタ用クロックと逐次近似レジスタ回路用クロックの2種類のクロックを使用する．その際，逐次近似レジスタ回路のクロックは4MHz以下にする必要があり，さらにスイッチト・キャパシタ・クロックの16倍に設定する必要がある．この設定を怠ると信号が正常に出力されない場合がある．

なお，ここで挙げる項目の後の二つについては，不ぐあいが発生している場合は開発ツール上で「Warning」として警告が出ますが，先の二つについては出ないので注意が必要です．

● 消費電力

FPAA（AN220E04）は，内部で持っているリソースの使用量によっては，一般的なディスクリート部品で構成した場合よりも消費電力が増加する可能性があります．

AN220E04の電力モードは，「HIGH」と「LOW」の2種類が用意されており，開発ツール上で切り替えが可能となっています．LOWモード時は，動作信号周波数帯域とゲイン設定範囲に制限を設けて電力消費を抑えています．参考までに実測データを示すと，一般的なディクリート部品で作成した第1世代システムのボードと比べた場合，FPAAを使用した第2世代システムのボードの消費電力は，LOWモード時で1チャネル当たり2.8倍，HIGHモード時で13倍でした．

FPAAの消費電力については，開発ツール上で想定消費電力をモニタできるので，FPAA内部の設計を行ったうえで想定電力を導き，その結果に合わせて電源回路の設計を行うとよいでしょう．モニタされる想定電力値は，実測にほぼ近い値を示すので，十分参考になると思います．

● フィルタ回路の帯域制限

一つのFPAA内で異なるフィルタ・モジュール（ハイパス・フィルタとローパス・フィルタなど）を混在させる場合，通過帯域の設定に制限がかかります．設定可能な範囲は機能クロックの1/10～1/500です．例えば，機能クロックを100kHzとした場合，通過帯域は下限で200Hz，上限で10kHzとなります．これはバンドパス・フィルタ・モジュールで構成しても同じ結果となります．この範囲を超えて使用したい場合は，上限用と下限用のFPAAをそれぞれ用意し，個別に設定する必要があります．

参考・引用*文献

(1) Anadigm社のホームページ，http://www.anadigm.com/
(2) オムロンのFPAAに関するホームページ，http://www.omron.co.jp/ecb/products/ic/fpaa_index.html

かわせ・ひろかず
日本電子システムテクノロジー（株）

<筆者プロフィール>
川瀬宏和．電機メーカでのオーディオ機器の設計業務を経て，2001年3月に転職．現在は日本電子システムテクノロジーにてハードウェア設計業務に従事．